

PLANO DE ENSINO
FICHA Nº 2 (variável)

Disciplina: Eletrônica Digital I		Código: TE050
Natureza: (X) obrigatória () optativa	Semestral (X) Anual () Modular ()	
Pré-requisito: Não tem	Co-requisito: Não tem	
Modalidade: (X) Presencial () EaD () 20% EaD		

C.H. Semestral Total: 60 horas
C.H. Anual Total: -
C.H. Modular Total: -

PD: 60 LB: 00 CP: 00 ES: 00 OR: 00
C.H. Semanal: 4 horas

EMENTA (Unidades Didáticas)

Sistemas de Numeração; Álgebra Booleana, Portas Lógicas; Circuitos Lógicos Combinacionais; Circuitos de Memória; Flip-Flops; Circuitos Seqüenciais; Aritmética Binária; Simulação Lógica.

PROGRAMA

- 1. Sistemas de Numeração:**
Conceitos; Conversão de bases; Sistemas de numeração binário, hexadecimal e octal; Aritmética binária.
- 2. Códigos Binários:**
Códigos numéricos; Códigos não numéricos
- 3. Álgebra Lógica / Booleana:**
Operações básicas; Princípios e Teoremas; Portas Lógicas; Expressões Lógicas; Circuitos Lógicos; Estruturas de dois níveis de portas NAND/NOR.
- 4. Funções Lógicas:**
Soma de Produtos; Produto de Somas; Análise e Síntese de Funções Lógicas; Mapa de Karnaugh; Método de Quine-McCluskey; Funções não especificadas completamente;
- 5. Circuitos Combinacionais:**
Conceitos; Codificador; Decodificador; Comparador; Multiplexador; Demultiplexador; Somador; Subtrator.
- 6. Circuitos de Memória:**
Latch SR; Latch Transparente(tipo D); Flip Flops SR, D, JK e T.
- 7. Registradores:**
Registrador de Transferência; Registrador de Deslocamento; Contadores Assíncronos.
- 8. Circuitos Seqüenciais:**
Diagrama de Estados; Máquinas de Estado; Lógica de Entrada e Saída; Contadores Síncronos; Geradores e Detectores de Seqüência de bits.

OBJETIVO GERAL

Conhecer os conceitos e procedimentos necessários para o projeto de circuitos lógicos combinacionais e seqüenciais.

OBJETIVO ESPECÍFICO

Ter condições de analisar circuitos lógicos combinacionais e seqüenciais. Conhecer os procedimentos para a síntese e minimização de funções lógicas. Conhecer os procedimentos para o projeto de máquinas de estados e circuitos seqüenciais.

PROCEDIMENTOS DIDÁTICOS

Aulas expositivas e resolução de exercícios em sala de aula. Serão utilizados quadro branco e projetor multimídia.

PLANO DE ENSINO

FICHA Nº 2 (variável)

FORMAS DE AVALIAÇÃO

Serão realizadas três provas escritas (**P1, P2, P3**).

Conjunto de exercícios desenvolvidos pelo aluno em sala de aula (**Ex**).

Projeto Prático:

O Projeto Prático(**Proj**) é opcional, valendo 1,5 (um virgula cinco) pontos, que serão acrescidos à **Média Parcial**.

Cálculo da Média Parcial:

$$Média\ Parcial = (P1 + P2 + P3 + Ex*0,6)/3,6$$

Cálculo da Média Final:

$$Média\ Final = Média\ Parcial + Proj$$

Calendário de Provas para o 1º semestre de 2017:

1ª Prova (P1):	03/Abr/2017	07:30 horas
2ª Prova (P2):	03/Mai/2017	07:30 horas
3ª Prova (P3):	12/Jun/2017	07:30 horas

Apresentação do Projeto Prático: dias 14, 19 e 21/Jun/2017, das 07:30 às 09:30

Exame Final:	03/Jul/2017	07:30 horas
--------------	-------------	-------------

BIBLIOGRAFIA BÁSICA

1. “Sistemas Digitais – Princípios e Aplicações”. Ronald J. Tocci, Neal S. Widmer, Gregory L. Moss. Editora LTC(2011).
2. “Eletrônica Digital Moderna e VHDL”. Volnei A. Pedroni. Editora Elsevier (2010).

BIBLIOGRAFIA COMPLEMENTAR

1. “Circuitos Digitais e Microprocessadores”. Herbert Taub. Editora Mc Graw Hill.
2. “Digital Fundamentals”. Thomas L. Floyd. Editora Prentice Hall.
3. “Digital Logic and State Machine Design”. David J. Comer. Editora Oxford University Press.

Professor da Disciplina: Ademar Luiz Pastro

Assinatura: _____

Chefe de Departamento: André Augusto Mariano

Assinatura: _____

Legenda:

Conforme Resolução 15/10-CEPE: PD- Padrão LB – Laboratório CP – Campo ES – Estágio OR - Orientada